

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC688 U.S. PTO
09/435766
11/06/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 1999年 1月13日

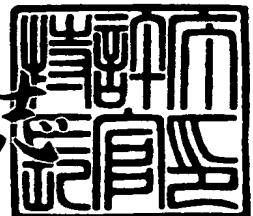
出願番号
Application Number: 平成11年特許願第006395号

出願人
Applicant(s): トヨタ自動車株式会社

1999年 8月23日

特許庁長官
Commissioner,
Patent Office

伴佐山建



出証番号 出証特平11-3059025

【書類名】 特許願
【整理番号】 TY1-4029
【提出日】 平成11年 1月13日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明の名称】 バイポーラ半導体装置
【請求項の数】 4
【発明者】
【住所又は居所】 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社
内
【氏名】 櫛田 知義
【特許出願人】
【識別番号】 000003207
【氏名又は名称】 トヨタ自動車株式会社
【代表者】 和田 明広
【代理人】
【識別番号】 100075258
【弁理士】
【氏名又は名称】 吉田 研二
【電話番号】 0422-21-2340
【選任した代理人】
【識別番号】 100081503
【弁理士】
【氏名又は名称】 金山 敏彦
【電話番号】 0422-21-2340
【選任した代理人】
【識別番号】 100096976
【弁理士】
【氏名又は名称】 石田 純

特平11-006395

【電話番号】 0422-21-2340

【手数料の表示】

【予納台帳番号】 008268

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 バイポーラ半導体装置

【特許請求の範囲】

【請求項1】 ドレイン電極と、

前記ドレイン電極上に設けられた第1導電型のドレイン領域と、

前記ドレイン領域上に設けられた第2導電型のドリフト領域と、

前記ドリフト領域上に設けられた第2導電型のチャネル領域と、

前記チャネル領域を挟むように設けられ、絶縁膜で覆われたトレンチゲート領域と、

前記チャネル領域上に設けられた第2導電型のソース領域と、

前記ソース領域に接続されたソース電極と、

を有することを特徴とするバイポーラ半導体装置。

【請求項2】 請求項1記載の装置において、

前記トレンチゲート領域は第1導電型で形成され、

前記トレンチゲート領域間の間隔は、前記トレンチゲート領域に所定電圧を印加した状態で前記チャネル領域全体に空乏層が形成される程度に設定されることを特徴とするバイポーラ半導体装置。

【請求項3】 請求項1、2のいずれかに記載の装置において、さらに、

前記チャネル領域及び前記ソース電極間に設けられた第1導電型の半導体領域を有することを特徴とするバイポーラ半導体装置。

【請求項4】 請求項1、2のいずれかに記載の装置において、

前記ソース電極の一部は前記チャネル領域にショットキー接続されることを特徴とするバイポーラ半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はバイポーラ半導体装置、特にオン抵抗の少ないバイポーラ半導体装置に関する。

【0002】

【従来の技術】

従来より、電力用スイッチング素子として低オン抵抗の半導体装置が望まれている。例えば、特開平8-213613号公報には、ドレイン電極上に順次n+ドレイン領域、nドリフト領域、n+ソース領域、ソース電極を設け、かつ、nドリフト領域を挟むように絶縁膜で覆われたトレンチゲート領域を設けた半導体装置が開示されている。

【0003】

このような構成において、ゲート電極に負のバイアス電圧を印加すると、トレンチゲート領域で挟まれたnドリフト領域全体が空乏化し、さらにn+ソース領域全面に電子に対する電位障壁を形成して電流が遮断される。逆に、ゲート電極の負電位を低減し、さらに正電圧を印加すると、この電位障壁が低くなり、n+ソース領域からn+ドレイン領域へ電子が流れ、したがって電流が流れる。この半導体装置によれば、オン状態時のチャネルがゲート酸化膜界面の反転層ではなく、トレンチゲート間全体に形成されるため、キャリアの移動度を高くすることができる。

【0004】

【発明が解決しようとする課題】

このように、電流経路にPN接合を有さず、全てn型で構成することでキャリアの移動度を高くすることが可能であるが、上記従来技術ではキャリアとして機能するのは電子のみであり、したがってキャリア密度が十分ではなく、より一層のオン抵抗低減を図ることは困難である。

【0005】

本発明は、上記従来技術の有する課題に鑑みなされたものであり、その目的は、従来以上にオン抵抗を低減することができる半導体装置を提供することにある。

【0006】

【課題を解決するための手段】

上記目的を達成するために、第1の発明は、ドレイン電極と、前記ドレイン電極上に設けられた第1導電型のドレイン領域と、前記ドレイン領域上に設けられ

た第2導電型のドリフト領域と、前記ドリフト領域上に設けられた第2導電型のチャネル領域と、前記チャネル領域を挟むように設けられ、絶縁層で覆われたトレンチゲート領域と、前記チャネル領域上に設けられた第2導電型のソース領域と、前記ソース領域に接続されたソース電極とを有することを特徴とする。ドリフト領域、チャネル領域、ソース領域を同一導電型として従来技術と同様にキャリアの移動度を高くしてオン抵抗を低減させるとともに、ドレイン電極とドリフト領域との間に導電型の異なるドレイン領域を設けることで、電子と正孔とともにキャリアとしてキャリア密度を向上させ、オン抵抗の一層の低減を図ることができる。

【0007】

また、第2の発明は、第1の発明において、前記トレンチゲート領域は第1導電型で形成され、前記トレンチゲート領域間の間隔は、前記トレンチゲート領域に所定電圧を印加した状態で前記チャネル領域全体に空乏層が形成される程度に設定されることを特徴とする。トレンチゲート領域とチャネル領域の導電型が異なることでチャネル領域に空乏層が生じるが、チャネル領域を挟むトレンチゲート領域の間隔を所定の値に設定（十分小さくする）することでチャネル領域内のトレンチゲート領域との境界に生じた空乏層を互いに連結させ、チャネル領域の全体に空乏層を形成していわゆるノーマリオフ状態（ゲートにゼロバイアス電圧を印加した状態で電流が遮断される）を実現できる。

【0008】

また、第3の発明は、第1、第2の発明において、さらに、前記チャネル領域と前記ソース電極間に設けられた第1導電型の半導体領域を有することを特徴とする。第1導電型の半導体領域を形成することで、第1導電型のドレイン領域からチャネル領域に進入した小数キャリアをソース電極に迅速に引き抜くことが可能となり、スイッチング動作（オンからオフ時の動作）を高速化できる。

【0009】

また、第4の発明は、第1、第2の発明において、前記ソース電極の一部は前記チャネル領域にショットキー接続されることを特徴とする。ショットキー接続することにより、構成を簡易化しつつ第1導電型のドレイン領域からチャネル領

域に進入した小数キャリアをソース電極に迅速に引き抜くことができる。

【0010】

【発明の実施の形態】

以下、図面に基づき本発明の実施形態について説明する。

【0011】

図1には、本実施形態における半導体装置の構成が示されている。(a)は平面図、(b)はb-b断面線に沿った縦断面図、(c)はc-c段面線に沿った横断面図である。なお、(a)では説明の都合上ソース電極は省略してある。

【0012】

図に示すように、本実施形態の半導体装置は、ドレイン電極10上にp+基板12、nドリフト領域14が順次設けられ、トレンチゲート領域18（例えばn型）がnドリフト領域14の一部を挟むように形成されている。トレンチゲート領域18は絶縁膜16で被覆されており、隣接するトレンチゲート18で挟まれたnドリフト領域がnチャネル領域14aとして機能する。nチャネル領域14a上にはn+ソース領域20が設けられ、断面形状T字型のソース電極22がn+ソース領域20に接続される。ソース電極22をT字型にしてn+ソース領域20に接続することで、隣接するトレンチゲート領域18の間隔を従来以上に狭めることも可能となっている。また、(a)及び(c)から分かるように、n+ソース領域20に隣接してp+ソース領域21がnドリフト領域14（より詳しくはnチャネル領域14a）に接続されており、p+ソース領域21もソース電極22に接続されている。このp+ソース領域21は、小数キャリアである正孔をソース電極側に容易に抜き出すためのものである。なお、(c)に示されるp+領域24はトレンチゲート領域18よりも深くnドリフト領域14に形成されソース電極22に接続されているが、これはトレンチゲート端の漏れ電流を防止するためである。また、符号19は絶縁膜である。

【0013】

このような構成において、ドレイン電極10とソース電極22間に電圧を印加し、トレンチゲート領域18に接続されたゲート電極に負のバイアス電圧を印加すると、トレンチゲート領域で挟まれたnチャネル領域14a全体が空乏化し、

電流が遮断される。ここで、本実施形態ではnチャネル領域14aにp+ソース領域21が接続され、このp+ソース領域21にソース電極22が接続されているので、電流遮断時には少数キャリアである正孔をnチャネル領域14aからp+ソース領域21を介して迅速に引き抜くことができ、高速のスイッチングが可能となる。

【0014】

また、ドレイン電極10とソース電極22間に電圧を印加し、ゲート電極に正電圧を印加すると、nチャネル領域14aの空乏層が消滅し、n+ソース領域20からnドリフト領域14へ電子が注入される。すると、少数キャリアである正孔がp+基板12からnドリフト領域14へ注入される。したがって、本実施形態の半導体装置では、多数キャリアである電子と少数キャリアである正孔とともにキャリアとして機能するバイポーラ型トランジスタとして動作し、キャリア密度を増大させてオン抵抗を低減することができる。

【0015】

図2には、以上述べた特性が示されている。図において横軸はゲート電圧、縦軸はドレイン電流である。ゲート電極にバイアスを印加しない状態でもドレイン電流が流れる、いわゆるノーマリオン型である。ゲート電極に正のバイアス電圧を印加するとドレイン電流が増大し、所定の負のバイアスを印加するとドレイン電流は遮断される。従来技術では電流経路が全てn型で構成されているため多数キャリアである電子のみがキャリアとして機能するユニポーラ型であるが、本実施形態ではp+基板12を用いているため電子のみならず小数キャリアである正孔もキャリアとして機能するバイポーラ型である点に注意されたい。

【0016】

なお、本実施形態の構成において、トレンチゲート領域18をn型ではなくp型とし、隣接するトレンチゲート領域18の間隔、すなわちnチャネル領域14aの幅を十分小さくすることにより、ゲート電極にバイアスを印加しないゼロバイアス状態（接地電位を印加した状態）で電流が遮断される、いわゆるノーマリオフ型のトランジスタを構成することもできる。トレンチゲート領域18をp型とすると、絶縁膜16を介してトレンチゲート領域18に隣接するnチャネル領

域14a内の電子は、p型とn型の仕事関数差によりトレンチゲート領域18との境界から排除され、空乏層が形成される。そして、隣接するトレンチゲート領域18間の間隔が十分小さい場合には、隣接するトレンチゲート領域18との境界に生じた空乏層同士がnチャネル領域14a内で連結し、nチャネル領域14aの全体に空乏層が形成されて電流が遮断されることになる。

【0017】

図3には、トレンチゲート領域18をp型とし、隣接するトレンチゲート領域18の間隔を十分小さくした場合の特性が示されている。ゲート電極にバイアスを印加しない状態においても、上述したようにnチャネル領域14aの全体に空乏層が形成されているため、ドレイン電流は流れない。ゲート電極に正のバイアス電圧を印加すると、nチャネル領域14の空乏層が消滅し、電子及び正孔が導通して電流が流れる。

【0018】

図4には、図1に示される半導体装置の製造方法が示されている。まず、p+シリコン基板12上にnドリフト領域14をエピタキシャル成長させ、n+ソース領域20、p+ソース領域21並びにp+領域24をイオン注入と拡散により順次形成する(a)。なお、n+ソース領域20、p+ソース領域21は $1\mu m$ 程度、p+領域24は $7\mu m$ 程度形成すればよい。また、n+ソース領域20とp+ソース領域21は、図1に示されるように平面形状がストライプ状になるように交互に形成する。その後、表面を熱酸化して酸化膜50(50nm)を形成し、CVD法により窒化膜52(200nm)と酸化膜54(200nm)を順次形成する(b)。

【0019】

次に、フォトリソグラフィ工程を用いてレジストマスクを形成し、このレジストマスクを用いて酸化膜50、窒化膜52、酸化膜54を順次ドライエッティングする。このレジストを除去した後、酸化膜50、窒化膜52、酸化膜54をマスクとして用いてnドリフト領域14をエッティングし、トレンチ構造を形成する(c)。

【0020】

そして、トレンチの側壁を熱酸化により酸化して(50nm)フッ酸にて除去し、ケミカルドライエッティングにてさらにエッティング(50nm)した後、熱酸化にてゲート酸化膜(絶縁膜)16(100nm)を形成する。絶縁膜を形成した後、CVD法により多結晶シリコンでトレンチを埋めてトレンチゲート領域18を形成する。なお、ノーマリオフ型とするためには、トレンチゲートにボロンを拡散させてp+とすれば良い。ドライエッティングにより窒化膜52のところまで全面エッチバックしてゲート電極とする(d)。

【0021】

次に、表面の酸化膜54をドライエッティングにて除去する。このとき、ゲート酸化膜16は窒化膜52とトレンチゲート領域18に覆われているのでエッティングされることはない。そして、熱酸化にてトレンチゲート領域の表面を酸化(400nm)する(e)。

【0022】

さらに、ドライエッティングにて窒化膜52と酸化膜50を除去し(f)、スパッタリング法を用いてソース電極22をn+ソース領域20とp+ソース領域21上に形成し、フォトリソグラフィ法とエッティングにより所望の形状に加工する(g)。最後に、スパッタリング法によりドレイン電極10(Ti/Ni/Au)を形成する。

【0023】

以上、本発明の実施形態について説明したが、n+ソース領域20とp+ソース領域21の配置は図1に限られず、他の配置も可能である。例えば、図5の平面図(ソース電極は説明の都合上省略してある)に示されるように、n+ソース領域20を囲むようにn+ソース領域20の周囲にp+ソース領域21を配置することも可能である。

【0024】

また、図6に示すように、p+基板12とnドリフト領域14との間にn+バッファ層26を設けてもよい。これにより、nドリフト領域14を薄く形成することができる。

【0025】

さらに、正孔をソース電極に引き抜くための p + ソース領域 21 の代わりに、ソース電極 22 と n チャネル領域 14a とをショットキー接合することも好適である。図 7 には、このような場合の構成が示されている。(a) は平面図（但し、ソース電極は省略）、(b) は (a) の b-b 断面線に沿った縦断面図、(c) は (a) の c-c 断面線に沿った横断面図である。(c) から分かるように、p + ソース領域 21 は存在せず、ソース電極 (A1 など) 22 と n チャネル領域 14a とが接合部 30 でショットキー接合されている。これにより、p + ソース領域 21 の形成工程を省くことができる。

【0026】

【発明の効果】

以上説明したように、本発明によればドリフト領域、チャネル領域、ソース領域が同一の導電型であり、かつ、電子及び正孔をともにキャリアとすることができ、キャリア密度を向上させて従来以上にオン抵抗を低減することができる。

【図面の簡単な説明】

【図 1】 本発明の実施形態の構成図である。

【図 2】 実施形態のノーマリオン時の特性を示すグラフ図である。

【図 3】 実施形態のノーマリオフ時の特性を示すグラフ図である。

【図 4】 実施形態の製造方法を示す説明図である。

【図 5】 本発明の他の実施形態の平面図である。

【図 6】 本発明の他の実施形態の断面図である。

【図 7】 本発明の他の実施形態の構成図である。

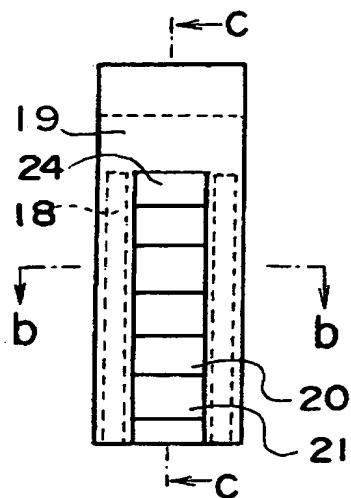
【符号の説明】

10 ドレイン電極、12 p + 基板、14 n ドリフト領域、14a n チャネル領域、16 絶縁膜（酸化膜）、18 トレンチゲート領域、20 n + ソース領域、21 p + ソース領域、22 ソース電極。

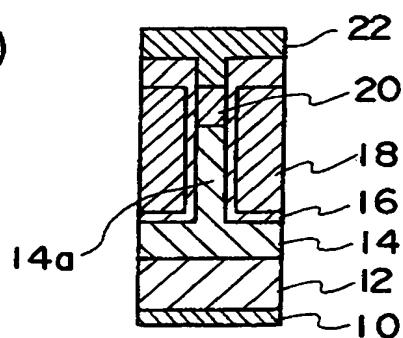
【書類名】 図面

【図1】

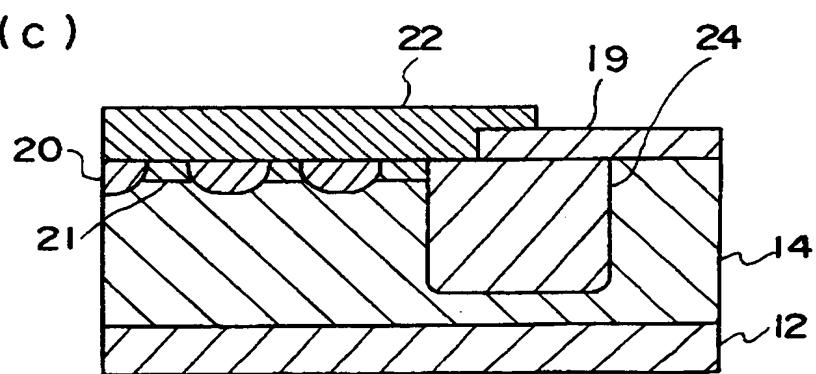
(a)



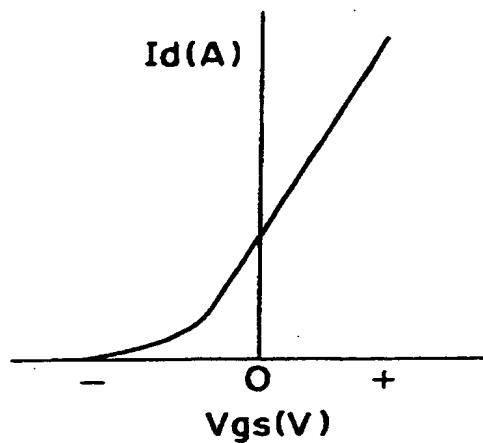
(b)



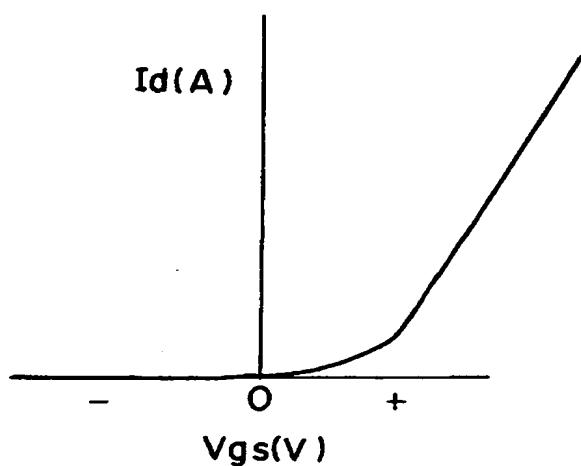
(c)



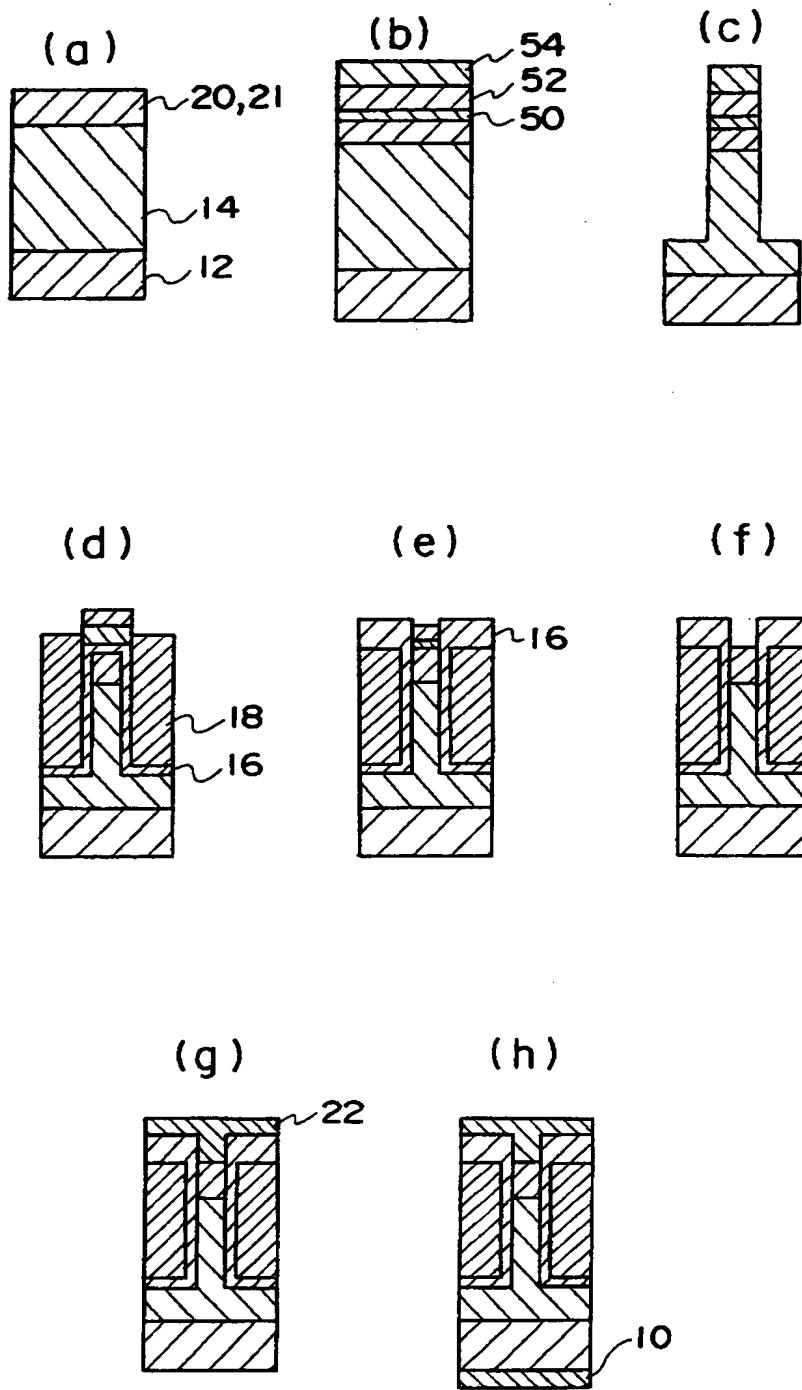
【図2】



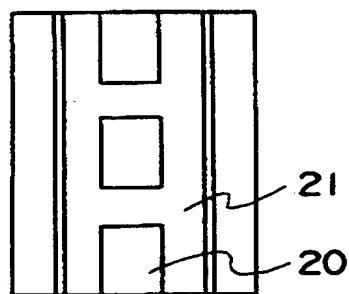
【図3】



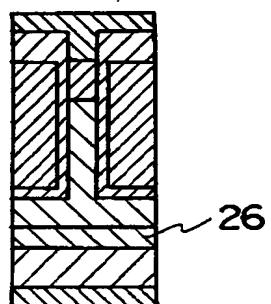
【図4】



【図5】

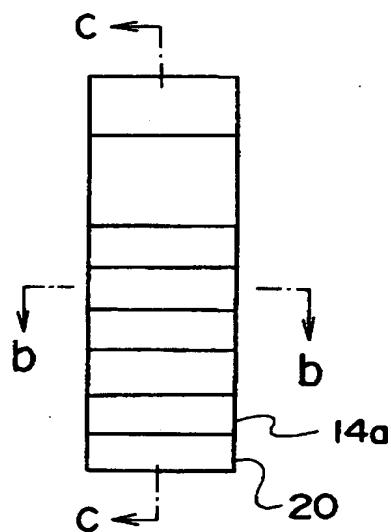


【図6】

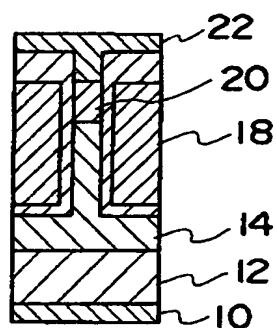


【図7】

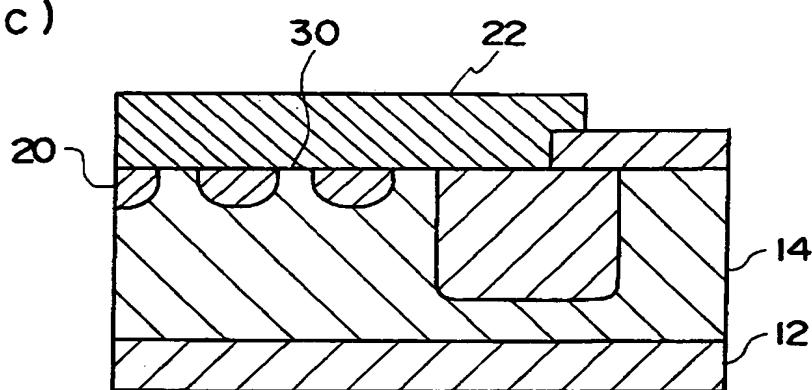
(a)



(b)



(c)



【書類名】 要約書

【要約】

【課題】 トレンチゲート型半導体装置において、オン抵抗を低減する。

【解決手段】 ドレイン電極10上にp+基板12、nドリフト領域14、nチャネル領域14a、n+ソース領域20、ソース電極22を形成する。nチャネル領域14aは絶縁膜16で被覆されたトレンチゲート領域18で挟まれる。トレンチゲート領域18に正のバイアス電圧を印加すると通電し、負のバイアス電圧を印加すると電流は遮断する。p+基板12を用いているため、電子と正孔がキャリアとして機能し、キャリア密度を向上させてオン抵抗を低減する。

【選択図】 図1

出願人履歴情報

識別番号 [000003207]

1. 変更年月日 1990年 8月27日

[変更理由] 新規登録

住 所 愛知県豊田市トヨタ町1番地

氏 名 トヨタ自動車株式会社